



Travaux Pratiques

Informatique Industrielle

***Logique combinatoire
&
séquentielle***

Méthode de travail pour les TP Informatique Industrielle

Les travaux pratiques d'informatique industrielle se composent de trois parties :

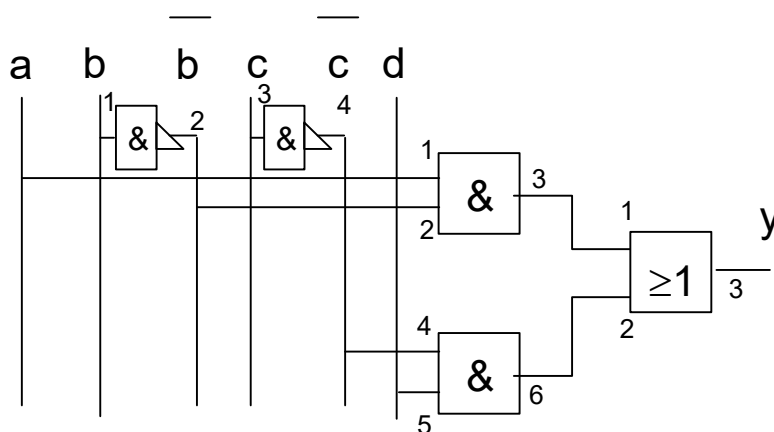
- **Préparation à faire à la maison** : ce travail doit être effectué par chaque étudiant, avant de venir en TP, il nécessite de mettre en application ce qui a été vu auparavant dans le cadre des cours magistraux et des travaux dirigés. Cette préparation devra être rédigée sous la forme d'un compte-rendu par binôme. Au début de chaque séance de TP, il sera vérifié que ce travail a bien été effectué, et le compte-rendu de préparation devra être présenté.
- **Manipulations à faire pendant la séance de TP** : Le travail s'effectue en binômes, il faudra faire attention à ce que ce ne soit pas toujours la même personne qui effectue les câblages. Un travail d'équipe implique que ce ne soit pas toujours la même personne qui travaille !!!
- **Compte-rendu** à rendre à la fin de la séance de TP. Concernant les compte-rendus, un point important nécessite d'être mentionné : un compte-rendu se doit d'être rédigé en français correct, avec des **phrases**, une **conclusion** sur les résultats obtenus, par rapport aux résultats attendus, doit être écrite.

L'ensemble de ces parties sera évaluée.

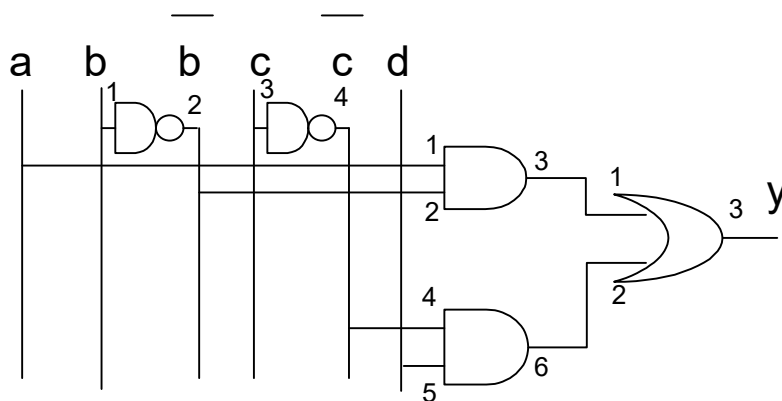
Sur la manière de travailler, il est fortement conseillé de suivre les conseils ci-dessous :

1. Effectuer **l'étude** qui est demandée. Il s'agit en général de problèmes ressemblant à ce qui a été vu en cours ou en travaux dirigés, vous devriez donc en général y parvenir sans difficulté. Cette phase s'effectue lors de la **préparation**.
2. Représenter le **schéma** obtenu à partir des équations. Celui-ci pourra être représenté soit en norme européenne soit en norme américaine, les deux existant dans le milieu industriel. Les entrées se représentent à gauche, les sorties à droite (cf. figures ci-dessous). Les **pattes** des composants devront être **numérotées**. Cette phase du travail s'effectue également dans la **préparation**.

Ex : Equation : $y = a \bar{b} + \bar{c} d$



Norme européenne



Norme américaine

3. Le câblage sera ensuite effectué lors de la séance de TP, en respectant scrupuleusement le schéma effectué, notamment les numéros des pattes des circuits. Avant d'effectuer le câblage proprement dit, il est indispensable de tester les **composants à vide** sur le banc d'essai (ceci pour voir si le composant ainsi que la plaque du banc d'essai fonctionnent bien).
4. La dernière étape consiste à vérifier le fonctionnement du circuit. Cette étape pourra être effectuée directement par les étudiants.
5. Si le montage fonctionne correctement, on pourra appeler l'enseignant afin d'effectuer la validation du montage; Si le montage ne fonctionne pas, il faudra dépanner le montage (voir rubrique "dépannage"), puis revérifier le montage (cf étape 4). Concernant la validation, il est demandé à l'étudiant d'expliquer son cahier des charges, ce que le montage doit réaliser, et d'expliquer le fonctionnement du montage au moment de la validation.

Dépannage

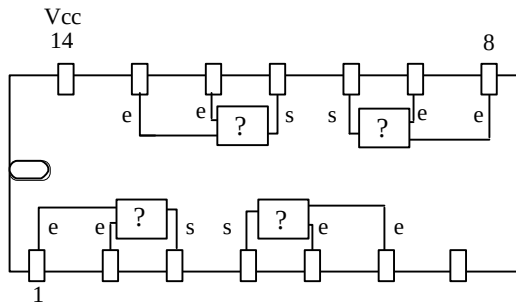
Le dépannage fait partie du TP. Cela veut dire qu'il est normal que les montages ne fonctionnent pas toujours du premier coup, il faut donc apprendre à dépanner son montage, ceci sera évalué lors des examens de TP Informatique Industrielle.

Pour effectuer un dépannage, il faut tout d'abord un schéma de câblage propre avec les pattes numérotées, ensuite les points à vérifier qui posent souvent problèmes sont les suivants :

- Les composants utilisés sont-ils bien ceux désirés (vérifier la référence), et sont-ils bien tous de la même technologie (TTL ou C-MOS) ?
- Le banc d'essai est-il correctement alimenté ?
- Le circuit est-il alimenté (à tester avec un fil électrique sur une diode ou sur le voltmètre disponible sur le banc d'essai) ?
- N'y a-t-il pas de fils électriques qui se touchent (fils très dénudés...) ?
- Il faut ensuite vérifier le montage, voir s'il n'y a pas de composants câblés à l'envers,
- On pourra enfin tester certaines réponses du circuit à des entrées connues afin de voir à quel endroit du circuit les potentiels (ou niveaux électriques, ou niveaux logiques) obtenus sur le circuit ne correspondent pas au niveau attendu.

Voilà, bon courage à tous, les enseignants sont là pour vous aider.

I. Portes logiques en technologie C-MOS



NAND = **4011**

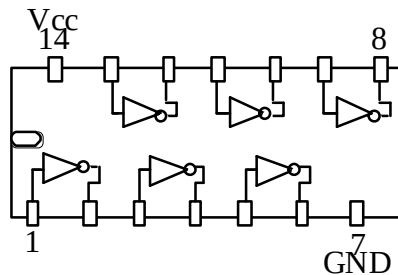
NOR = **4001**

XOR = **4070**

OU = **4071**

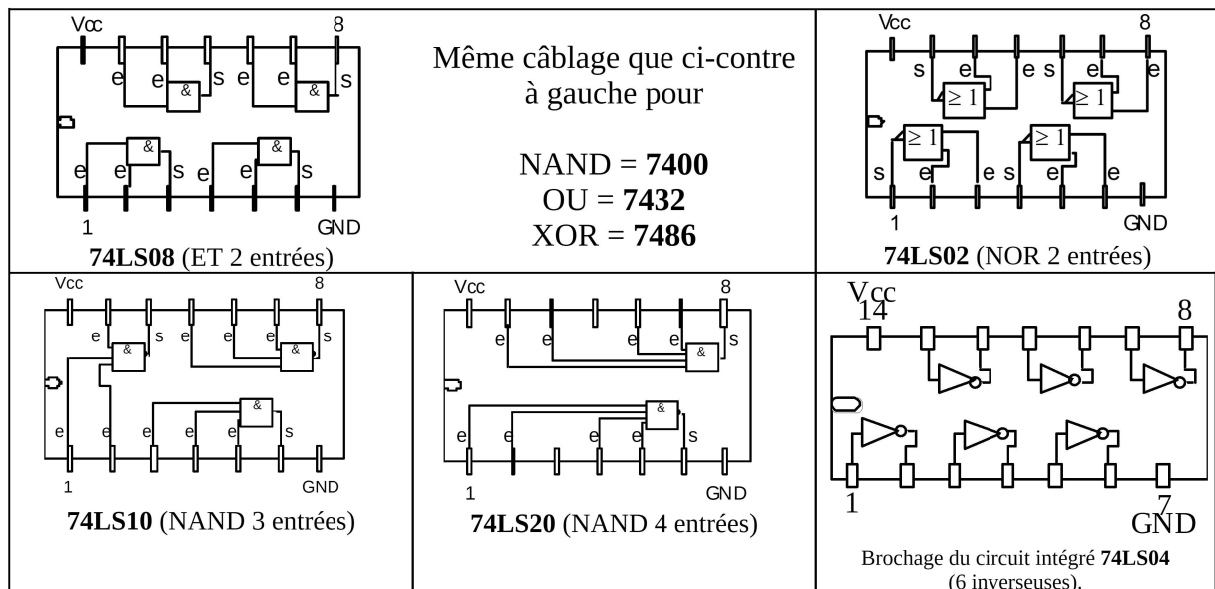
ET = **4081**

NAND triggée = **4093**

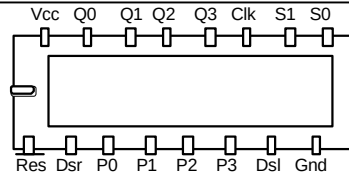
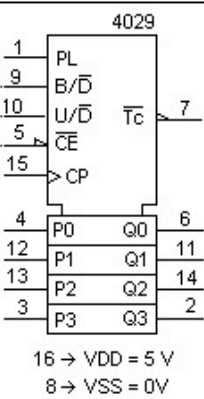
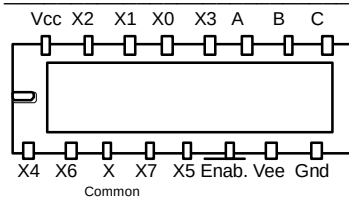
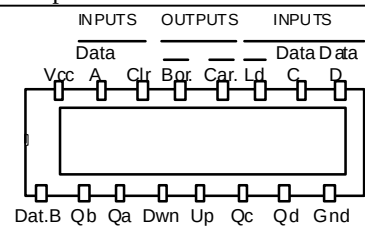
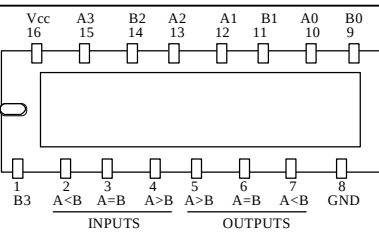
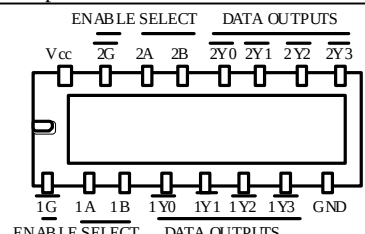
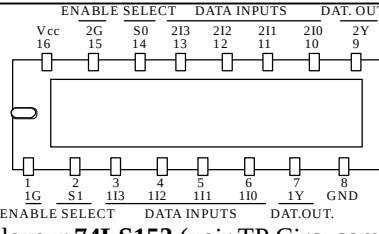


Brochage des circuits intégrés **CD4069** et **CD40106** (6 inverseuses).

II. Portes logiques en technologie TTL

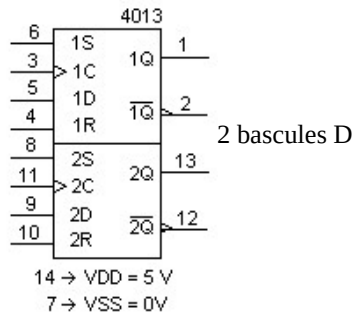


Circuits complexes C-MOS & TTL

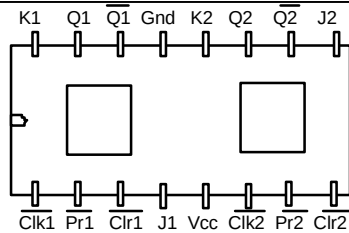
C-MOS ci-contre &			Il s'agit d'un compteur travaillant en binaire ou en décimal. La donnée d'entrée N est appliquée sur les broches P0 à P3. En mode comptage, que l'on soit en binaire ou en décimal, la sortie Tc;__passe à 0 lorsque le nombre de "coups" d'horloge atteint la valeur N. En mode décomptage, que l'on soit également en binaire ou en décimal, la sortie Tc;__passe à 0 lorsque le compteur préchargé à la valeur N, atteint 0. La sortie Tc;__élabore une impulsion de très courte durée. Cette impulsion traitée par un inverseur peut agir sur l'entrée PL autorisant ainsi le chargement de la donnée N appliquée sur les entrées P0 à P3.
	Registre à décalage universel 4 bits (40194) (cf. TP Appl. circ. séquent.) N.B. : - P_i = entrées parallèles - Q_i = sorties des bascules	16 → VDD = 5 V 8 → VSS = 0V	
TTL ci-dessous		L'entrée CE;__permet de valider ou d'invalider le compteur 4029 ; - l'entrée CP est l'entrée horloge du compteur; - l'entrée U/D;__permet de faire fonctionner le compteur en mode comptage ou décomptage; - l'entrée B/D;__permet de faire fonctionner le compteur en mode binaire ou en mode décimal.	
	Multiplexeur analogique 4051 8 bits - Une borne commune X, - les 8 bits sont sur X0 à X7. - Enable valide état bas, - C est le poids fort et A le poids faible.		
			
Compteur 4 bits 74193 Fonctionne sur fronts montants des entrées Dwn et Up, ces entrées doivent être à l'état 1 à l'état repos. D pds fort et A pds faible.		Comparateur 7485 (voir TP Circuits complexes)	
			
Décodeur 74139 (voir TP Circuits complexes)		Multiplexeur 74LS153 (voir TP Circ. complexes). N.B. : Les entrées de validation 1G et 2G sont valides à l'état bas.	

Bascules C-MOS & TTL

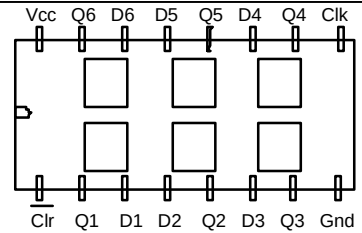
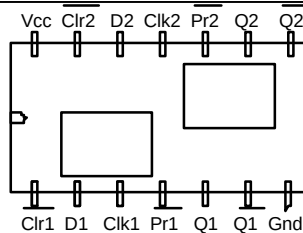
C-MOS



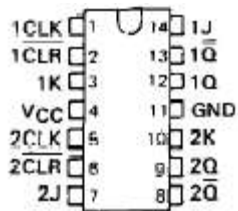
TTL



N.B. : Les horloges des bascules 7476 fonctionnent sur niveaux tandis que les 74LS76 fonctionnent sur fronts.



7473



Découverte des circuits logiques

Objectif

Le but de ce TP est de vous familiariser avec les circuits intégrés logiques en étudiant et comparant diverses caractéristiques des familles de composants TTL et C-MOS.

Application au circuit inverseur et étude des composants "triggés".

PRÉSENTATION GÉNÉRALE

Les deux familles de composants s'imposant comme standards de fait en logique sont les familles TTL et C-MOS. Leurs noms font référence à leur technologie de fabrication. Ainsi, TTL signifie Transistor-Transistor-Logic et C-MOS est l'abréviation de Complementary-Metal Oxide SemiConductor.

En pratique, les états logiques '0' et '1' sont associés à des niveaux de tension.

- le niveau de plus haute tension est dit "niveau haut" et noté **H** (high) ;
- le niveau de plus basse tension est dit "niveau bas" et noté **L** (Low).

Correspondance niveaux de tension / niveaux logiques :

- En logique **positive**, le niveau haut représente l'état '1', le niveau bas l'état '0' ;
- En logique **négative**, c'est naturellement l'inverse.

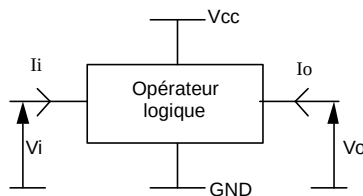


Figure 1 – Caractéristiques d'un opérateur logique

V_{CC} représente la tension d'alimentation :

Pour un circuit logique TTL : $V_{CC} = 5\text{ V} \pm 5\%$

Pour un circuit logique C-MOS : $3\text{ V} \leq V_{CC} \leq 18\text{ V}$

Les courants I_I et I_O sont **entrants** et **positifs** par définition ; ce qui explique certaines valeurs négatives dans la documentation du constructeur.

On nomme :

V_{IH} , V_{IL} : Tension d'entrée à l'état Haut et Bas

V_{OH} , V_{OL} : Tension de sortie à l'état Haut et Bas

I_{IH} , I_{IL} : Courant d'entrée à l'état Haut et Bas

I_{OH} , I_{OL} : Courant de sortie à l'état Haut et Bas

Nous allons effectuer le tracé du gabarit donnant la tension de sortie en fonction de la tension d'entrée (il s'agit de la **fonction de transfert**) pour une porte "inverseuse" :

Si $e = '0'$ (soit $V_I \leq V_{IL}$) $s = '1'$ (soit $V_O \geq V_{OH}$).

Si $e = '1'$ (soit $V_I \geq V_{IH}$) $s = '0'$ (soit $V_O \leq V_{OL}$).

Pour le tracé des gabarits, on fera attention à la valeur maximale du signal : 5V.

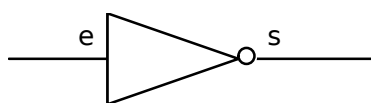


Figure 3 - porte inverseuse

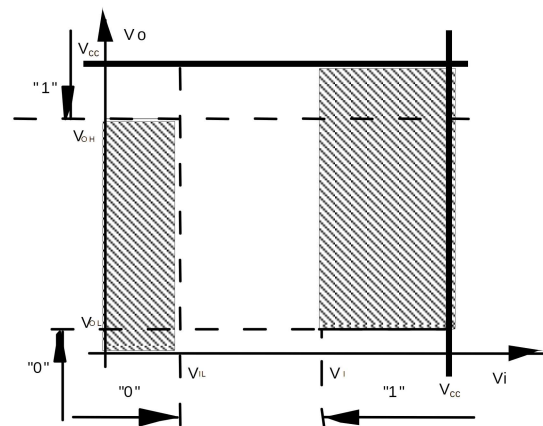


Figure 2 - Gabarit d'un inverseur : $V_O = f(V_I)$

PRÉPARATION

- Dans la documentation constructeur fournie en annexe, relever les valeurs des tensions V_{IH} , V_{IL} , V_{OH} , et V_{OL} définissant le gabarit de fonctionnement du composant TTL **74LS04**;
- Représenter le gabarit de fonctionnement ;
- Relever également les valeurs des courants I_{IH} , I_{IL} , I_{OH} , I_{OL} pour le calcul de la question 2.
- Relever les valeurs de V_{IH} , V_{IL} , V_{OH} , V_{OL} , I_{IH} , I_{IL} , I_{OH} , I_{OL} pour le composant C-MOS **CD4069** pour une tension d'alimentation de 5V.

MANIPULATION

1. Etude de la caractéristique de transfert $V_O = f(V_I)$

1.1 Circuit TTL 74LS04

- Tracer à l'oscilloscope, la réponse de cette porte à un signal triangulaire de fréquence 5kHz. Utiliser le GBF pour générer le signal d'entrée (Attention à mettre le "probe" à 10 si vous utilisez les sondes atténuatrices).
- Visualiser les réponses temporelles $V_I=f(t)$ et $V_O=f(t)$
- Visualiser la fonction de transfert $V_O=f(V_I)$ (en mode XY sur l'oscilloscope).
- Tracer la caractéristique de transfert obtenue **sur le gabarit de fonctionnement associé**.
- On pourra également observer la réponse de la porte à plus haute fréquence (50 ou 500 kHz, par exemple).
- Recommencer l'opération avec un autre boîtier 74LS04 (changer avec un autre binôme).
- Comparer les courbes, commenter et conclure.

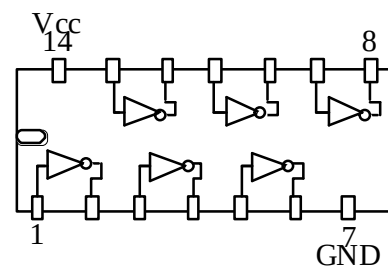


Figure 4 - Brochage des circuits intégrés 74LS04 et CD4069.

Afin que ce signal soit compatible avec la tension d'alimentation des circuits, il faudra le décaler en réglant l'offset (signal positif).

- Comparer la courbe obtenue avec le gabarit et conclure.

1.2 Circuit C-MOS **CD4069**

Bien que soient également définies des tensions V_{IH} , V_{IL} , V_{OH} et V_{OL} , on admet que la commutation des états logiques de la famille C-MOS se fait lorsque $V_I = V_{cc}/2$.

$\begin{aligned} e &= '1' \text{ si } V_I > V_{cc}/2 \\ e &= '0' \text{ si } V_I < V_{cc}/2 \end{aligned}$
--

Tracer à l'oscilloscope, la réponse de cette porte à un signal triangulaire de fréquence 5kHz en utilisant le GBF pour générer le signal d'entrée. On fera l'opération pour des tensions d'alimentation de 5 V et de 12 V respectivement, en se limitant à une seule porte. Utiliser les alimentations externes pour alimenter les circuits en 12 V, en veillant à bien relier les masses de l'alimentation et du banc d'essai.

Remarque : Désormais, nous travaillerons toujours avec $V_{cc}=5V$, à la fois pour les composants TTL (naturellement) et C-MOS.

1.3 Composants à entrées "triggés"

Certains composants des deux familles - tels que les circuits "inverseur" C-MOS CD40106 et TTL 74LS14 - ont des entrées "triggées" (en anglais, "trigger" = gachette), c'est-à-dire qu'elles obéissent à la règle ci-dessous :

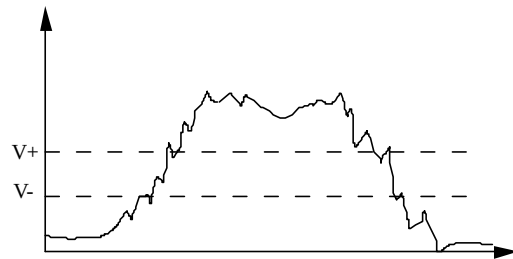
1) lorsque V_I croît de 0 à V_{cc} , on considère que V_I est à l'état bas tant que

$$V_I < V_+ = (2/3 * V_{cc}),$$

2) lorsque V_I décroît de V_{cc} à 0, on considère que V_I est à l'état bas dès que

$$V_I < V_- = (1/3 * V_{cc}).$$

- Visualiser à l'oscilloscope, la **caractéristique de transfert** $V_O = f(V_I)$ du composant C-MOS CD40106.
- Donner sur un dessin la réponse (en sortie) du composant CD40106 pour le signal d'entrée ci-contre.
- En déduire le rôle de ce type de composant.



2. Calcul de la sortance

On définit la **sortance** d'un composant comme étant le nombre d'entrées logiques qu'une sortie est capable de commander, on peut l'obtenir en appliquant la loi des nœuds sur le circuit logique réalisé.

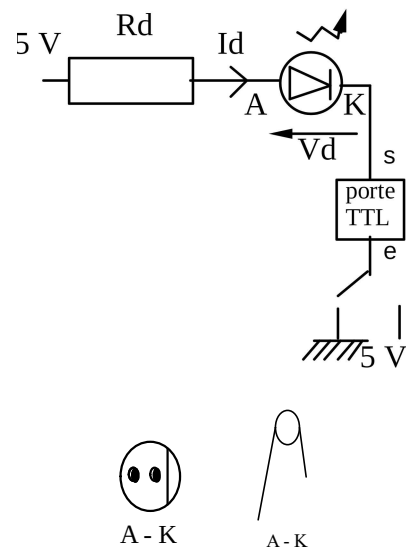
- Calculer celle des composants TTL et C-MOS à partir des courants relevés dans la documentation constructeur.
- Comparer, commenter et conclure.

En réalité, pour les composants C-MOS, la sortance est limitée par des considérations de temps de propagation et d'établissement.

3. Interface pour affichage d'un état logique

On veut rendre visible l'état logique d'une information binaire. Une LED rouge est convenablement illuminée pour un courant $I_d > 8$ mA, et dans ce cas $V_d = 1,6$ V. Il conviendra de prendre en compte la tension de sortie de la porte TTL.

- Calculer la valeur de R pour le point de fonctionnement de la LED.
- Faire le choix technologique de R et calculer le nouveau courant, V_d restant inchangé.
- Câbler le montage et mesurer I_d et V_d .
- Faire valider votre montage.
- Vérifier le bon fonctionnement des 6 portes du circuit inverseur de votre choix en utilisant un interrupteur et une LED du banc d'essai.



Pour des informations plus détaillées sur les caractéristiques des composants des familles TTL et C-MOS, nous vous invitons à consulter la documentation disponible en salle et à la bibliothèque universitaire.

UNE PAGE D'annexes

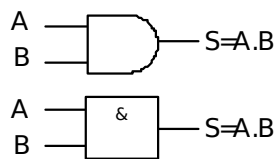
Etude des opérateurs logiques

Objectif

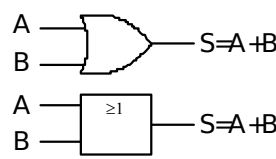
Le but de ce TP est d'étudier les propriétés des différents opérateurs logiques.

PRÉSENTATION GÉNÉRALE

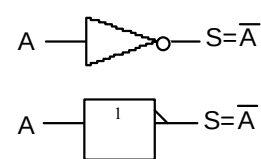
Les opérateurs logiques simples sont au nombre de trois et sont fabriqués à partir des fonctions logiques élémentaires : **NON** ($\neg$), **ET** ($\cdot$), **OU** ($+$), respectivement complément, produit logique et somme logique.



opérateur ET



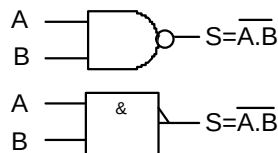
opérateur OU



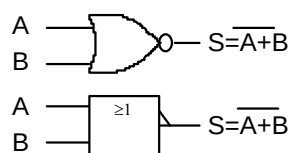
opérateur NON

En composant ces derniers, on obtient deux nouveaux opérateurs qui sont le NON ET ($\cdot$) et le NON OU ($+$) plus couramment appelé **NAND** et **NOR** selon leur dénomination anglaise. Ces deux opérateurs permettant la réalisation de toute fonction logique, ils sont qualifiés d'opérateurs complets.

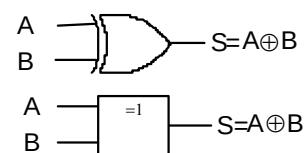
Enfin, on définit l'opérateur OU exclusif ($\oplus$), noté **XOR**, par $S = A\bar{B} + \bar{A}B$. Si celui-ci n'est pas un opérateur complet, il possède quelques propriétés utiles qui seront étudiées au cours de



opérateur NAND



opérateur NOR



opérateur XOR

ce TP.

Remarque : Il n'est représenté ici que des opérateurs à deux entrées mais il existe des opérateurs ET, OU, NAND et NOR à plus de deux entrées.

Idempotence :	$A+A = A$; $A.A = A$	Elément neutre :	$A+0 = A$; $A.1 = A$
Commutativité :	$A+B = B+A$; $A.B = B.A$	Invariance :	$A+1 = 1$; $A.0 = 0$
Associativité :	$(A+B)+C = A+(B+C) = A+B+C$ $(A.B).C = A.(B.C) = A.B.C$	Complémentarité :	$A+\bar{A} = 1$; $A.\bar{A} = 0$; $\overline{\bar{A}} = A$
Distributivité :	$A.(B+C) = (A.B)+(A.C)$ $A+(B.C) = (A+B).(A+C)$	Théorème de De Morgan :	$\overline{A.B} = \bar{A} + \bar{B}$; $\overline{A+B} = \bar{A}.\bar{B}$
XOR EX NOR	$A\bar{B} + \bar{A}B = A \oplus B$ $AB + \bar{A}\bar{B} = \overline{(A \oplus B)}$	Théorème d'absorption :	$A + A.B = A$; $A.(A+B) = A$ $A + \bar{A}.B = A + B$; $A.(\bar{A} + B) = A.B$

Tableau 1 - Rappel des postulats et théorèmes de l'algèbre de Boole

PRÉPARATION

- Donner deux possibilités de transformation de l'opérateur **NAND** en fonction logique **NON**;
- Réaliser la fonction logique **ET** à partir d'opérateurs **NAND** ;
- Réaliser la fonction logique **OU** à partir d'opérateurs **NAND** ;
- Donner l'équation de l'opérateur **NAND 3 entrées** à partir d'une combinaison d'opérateurs **NAND 2 entrées** (Justifier) ;
- Donner l'équation simplifiée de S (cf. figure 1 ci-contre) dans le cas où les fonctions sont des portes **NAND**.
- Refaire toutes les étapes de la préparation dans le cas de l'opérateur **NOR**.

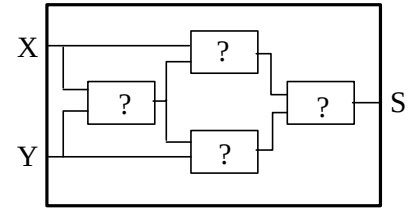


Figure 1

- Montrer comment transformer l'opérateur **XOR** en fonction logique **NON**.
- Montrer que le **XOR** réalise en fait (cf. figure 2), la fonction inverseuse/non inverseuse commandée par C tel que :
Si $C = 0$ alors $S = A$
Si $C = 1$ alors $S = \bar{A}$

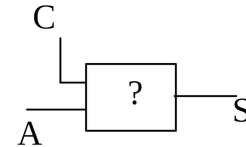


Figure 2

MANIPULATION

1. Reconnaissance d'opérateurs à deux entrées

5 boîtiers C-MOS sont disponibles : CD4001 - CD4011 - CD4070 - CD4071 - CD4081

- Relever expérimentalement la table de vérité de chacun des circuits. Utiliser les interrupteurs du banc d'essai pour faire évoluer les entrées et visualiser l'état des sorties sur les LEDs.
- Etude en logique positive : poser les équations de sortie, en déduire le type d'opérateur logique.
- Etude en logique négative : poser les équations de sortie, en déduire le type d'opérateur logique.
- Faire un tableau récapitulatif.

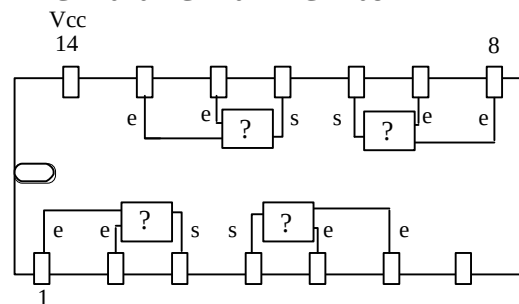


Figure 3 - Brochage des circuits C-MOS CD40??

2. Fonction complément à 1

- En s'inspirant de l'étude effectuée auparavant sur la fonction inverseuse/non inverseuse commandée (dernier point de la préparation). Réaliser la fonction programmable complément à 1 binaire d'un nombre de 4 bits, commandée par C_1 , C_2 telle que :

Si $C_1 = 1$

Si $C_2 = 1$ alors $S = A$

Si $C_2 = 0$ alors $S = \text{complément à 1 de } A$

Si $C_1 = 0$

Si $C_2 = 0$ alors $S = A$

Si $C_2 = 1$ alors $S = \text{complément à 1 de } A$

- Faire le schéma de câblage en utilisant deux boîtiers quadruple porte XOR.

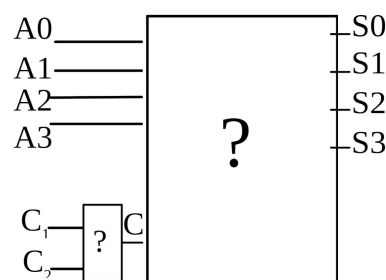


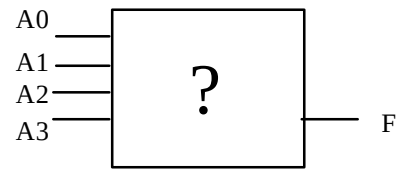
Figure 4 - Montage à réaliser

|| Nous vous recommandons (fortement !!) de numéroté les pattes des différents composants sur votre schéma de câblage.

- Câbler et faire valider.

3. Fonction parité impaire

- Vérifier que l'opérateur XOR réalise la fonction parité impaire, c'est à dire : $F = 1$ si A a un nombre impair de 1.
- Câbler et vérifier pour un mot de 4 bits.
- Faire valider votre montage.



4. Transcodeur binaire pur - code gray

Un transcodeur est un dispositif permettant de passer du nombre N écrit dans le code C_1 au même nombre N écrit dans le code C_2 .

Application : Concevoir un circuit pour convertir un nombre codé en binaire pur sur quatre bits A3, A2, A1 et A0 en son équivalent en code GRAY sur quatre bits B3, B2, B1 et B0.

PRÉPARATION

- Analyse du problème :
Ecrire la table de vérité des quatre sorties B3, B2, B1 et B0 en fonction des quatre entrées A3, A2, A1 et A0 ;
- Utiliser la méthode de Karnaugh pour simplifier les 4 équations ;
- Faire le schéma de câblage.

MANIPULATION

- » Faire le choix des composants à utiliser ;
- » Câbler et faire valider.

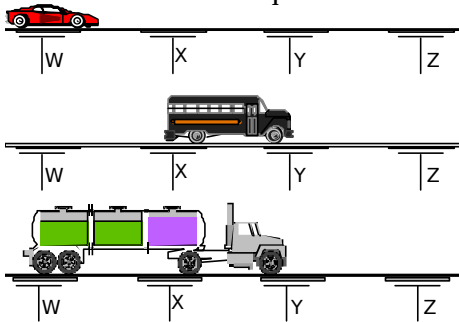
Applications

Objectif

Le but de ce TP est de résoudre un problème combinatoire simple en utilisant la méthode de KARNAUGH pour simplifier les équations logiques.

PRÉSENTATION GÉNÉRALE

Il s'agit de l'étude d'un système permettant de mesurer la longueur d'un véhicule traversant **seul** une zone de mesure sans s'arrêter. Cette zone de mesure se compose de quatre capteurs placés l'un derrière l'autre de telle sorte que :



- si un seul capteur est sélectionné, le véhicule est une voiture particulière **Vp**,
- si deux capteurs successifs sont sélectionnés, c'est un véhicule lourd **Vl**,
- si plus de deux capteurs successifs sont sélectionnés, c'est un convoi exceptionnel **Ce**,
- si on ne peut pas conclure lorsque des capteurs sont sélectionnés, il y a une sortie **Nsp** (Ne sait pas).
- si aucun capteur n'est sélectionné, il n'y a aucun véhicule.

PRÉPARATION

- Analyse du problème :
Expliciter, en particulier, les cas $w; _z$ et $w x; _$. Y a-t-il d'autres cas du même genre ?
Ecrire la table de vérité des quatre sorties **Vp**, **Vl**, **Ce** et **Nsp** en fonction des quatre entrées capteurs w, x, y, z , en distinguant les cas de figure technologiquement impossibles ;
- Utiliser la méthode de Karnaugh pour simplifier les 4 équations ;
- Réécrire les équations en utilisant uniquement des portes NAND à 2, 3 ou 4 entrées.
- Faire le schéma de câblage.

MANIPULATION

- Optimiser le montage de façon à n'utiliser que 3 boîtiers 74LS00, 1 boîtier 74LS10 et 1 boîtier 74LS20.
- Câbler et faire valider.

CONVERSION BCD

PRÉPARATION

Concevoir un circuit pour convertir un nombre codé en binaire sur quatre bits A_3, A_2, A_1 et A_0 en son équivalent codé BCD sur cinq bits B_4, B_3, B_2, B_1 et B_0 . Faire le schéma de câblage avec des portes NANDs à deux et trois entrées.

MANIPULATION

Câbler et tester le système. Faire valider.

Circuits complexes (1^{ère} partie)

1. ADDITIONNEUR 2 BITS

PRÉPARATION

Ecrire la table de vérité.

En déduire les équations. On utilisera seulement un boîtier NAND et un boîtier XOR. On pourra résoudre le problème en utilisant une porte XOR pour faire une inverseuse.

$$\begin{array}{r} \\ + \\ \hline s2 \end{array}$$

MANIPULATION

Si c'est possible sur votre poste de travail, câbler et afficher le résultat sur un afficheur 7 segments. Faire valider.

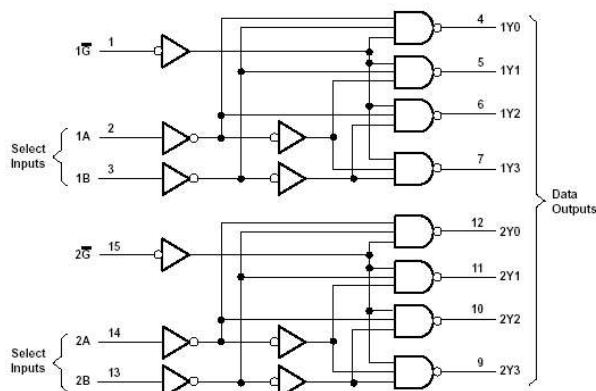
N.B. : Un afficheur fonctionne lorsqu'il est validé à la masse, l'entrée A représente le poids faible et D le poids fort.

2. DÉCODEUR BINAIRE

2.1 Etude du décodeur

PRÉPARATION

A l'aide du schéma interne du double décodeur 4 bits 74LS139, retrouver la table de vérité et la compléter sous le modèle présenté.



INPUTS		OUTPUTS			
ENABLE	SELECT				
G	B A	Y0	Y1	Y2	Y3
H					
L					
L					
L					
L					

Donner le schéma fonctionnel d'un décodeur 8 bits, avec trois entrées A, B et C de sélection, réalisé à l'aide de deux décodeurs 4 bits et d'une NAND. On précisera où se trouvent les poids faibles et forts.

MANIPULATION

Câbler ce décodeur et vérifier. Faire valider.

2.2 Utilisation pour système à multi-fonctions

PRÉPARATION

Réaliser le système suivant à l'aide du décodeur 8 bits et de trois NANDs à deux entrées, pour l'ensemble des trois fonctions sur un seul câblage.

N.B. : On considérera que les sorties X, Y et Z seront actives à l'état haut.

$$X = c + b; \quad Y = \quad ; \quad Z = a; \quad$$

MANIPULATION

Câbler et vérifier. Faire valider.

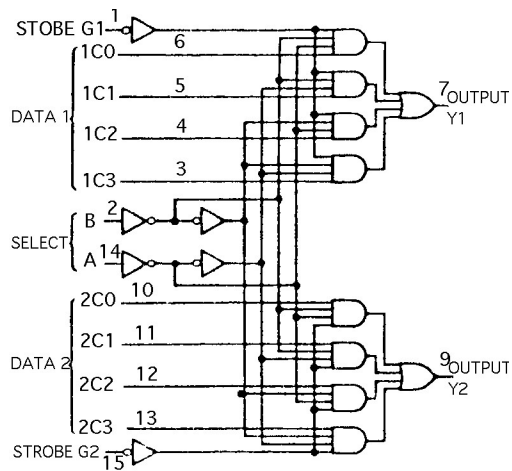
3. MULTIPLEXEUR

3.1 Double multiplexeur

PRÉPARATION

A l'aide du schéma interne du double multiplexeur 4 bits 74LS153, retrouver la table de vérité et la compléter sous le modèle présenté ci-dessous.

SELECT INPUTS		DATA INPUTS				STROBE	OUTPUT
B	A	C0	C1	C2	C3	G	Y
						H	
						L	
						L	
						L	
						L	
						L	
						L	
						L	



Donner le schéma fonctionnel d'un multiplexeur 8 bits réalisé à l'aide de deux multiplexeurs 4 bits et de NANDs. Précisez où se trouvent les poids faibles et forts.

MANIPULATION

Câbler et vérifier. Faire valider.

3.2 Utilisation en générateur de fonctions

PRÉPARATION

Réaliser la fonction suivante à l'aide du multiplexeur 8 bits :

$$F(x,y,z,t) = \Sigma(1,2,3,7,9,11,13,15)$$

MANIPULATION

Câbler et vérifier. Faire valider.

1. COMPAREUR (74LS85)

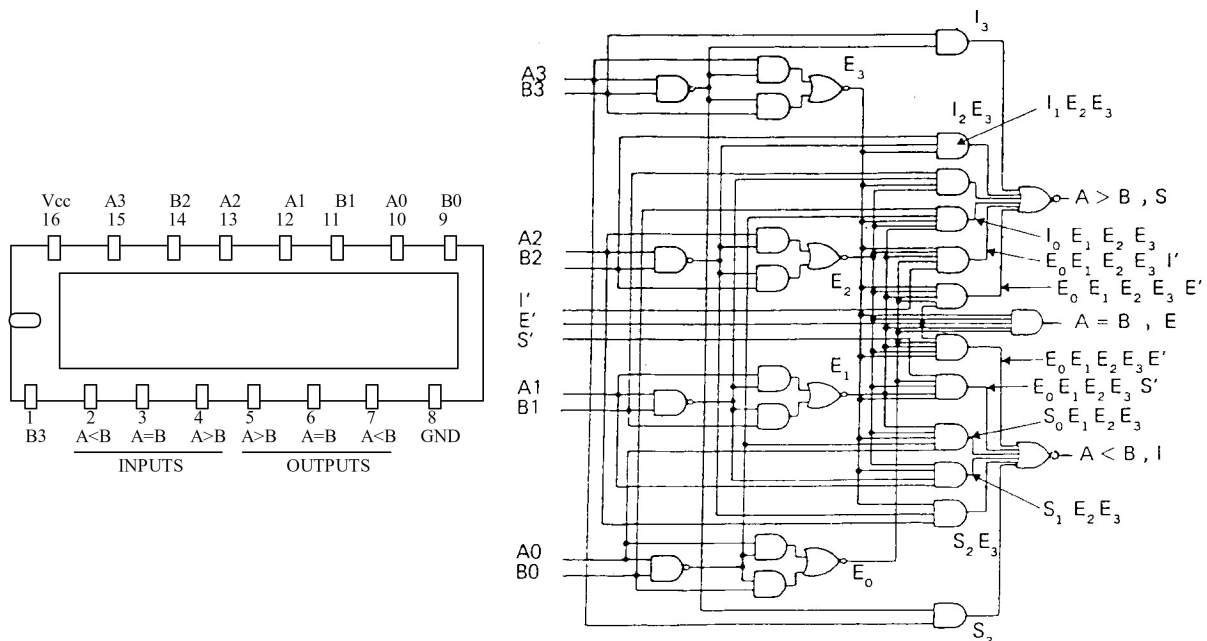
PRÉPARATION

Compléter la table de vérité ci-dessous et donner le schéma fonctionnel d'un comparateur 8 bits réalisé à partir de deux comparateurs 4 bits. Préciser où se trouvent les poids faibles et forts. Quelle est l'utilité des entrées "Cascading inputs" et "Comparing inputs" ? Que branche-t-on sur les entrées de cascade du premier comparateur ?

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3,B3	A2,B2	A1,B1	A0,B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3				X	X	X			
A3<B3				X	X	X			
A3=B3	A2>B2			X	X	X			
A3=B3	A2<B2			X	X	X			
A3=B3	A2=B2	A1>B1		X	X	X			
A3=B3	A2=B2	A1<B1		X	X	X			
A3=B3	A2=B2	A1=B1	A0>B0	X	X	X			
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X			
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L			
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L			
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H			

MANIPULATION

Câbler et vérifier. Faire valider.



2. UNITÉ ARITHMÉTIQUE ET LOGIQUE

PRINCIPE

L'U.A.L. est un circuit utilisé dans pratiquement tous les organes de calcul. C'est un opérateur capable d'effectuer, comme son nom l'indique, un ensemble de traitements arithmétiques (addition, soustraction) ou logiques (ET, OU, ...) sur des mots binaires de longueur donnée. Le choix de l'opérateur est déterminé par des bits de commande. Il s'agit donc d'un opérateur **programmable**. Il ne nous semble pas intéressant de présenter en détail l'architecture interne de l'UAL, qui résulte en grande partie des circuits déjà rencontrés dans les TP précédents. Par contre, il est important de comprendre l'action de l'UAL sur des mots binaires.

L'UAL est un composant de base du **microprocesseur** qui a pour tâche de traiter des informations numériques dans les différentes formes sous lesquelles elles sont présentées. Le reste du microprocesseur se compose de divers registres internes, un séquenceur et des circuits d'aiguillage.

L'U.A.L. peut être schématisée selon le schéma joint en annexe, elle effectue des opérations de la forme $F = f(A,B)$, où A et B sont des opérandes et f la fonction définie par l'état des entrées de sélection.

Les broches de l'U.A.L. peuvent être classées de la manière suivante :

- a_0 à a_{n-1} : n entrées parallèles de l'opérande A,
- b_0 à b_{n-1} : n entrées parallèles de l'opérande B,
- f_0 à f_{n-1} : n sorties parallèles du résultat F de l'opération,
- k_0 à k_{p-1} : p entrées de sélection de la fonction souhaitée.

Opérations effectuées par l'U.A.L. :

On peut les classer en trois catégories :

- les opérations de décalage.
- les opérations logiques : elles sont effectuées bit par bit entre deux bits de même rang des deux opérandes. L'opération effectuée est de la forme $F_i = f(a_i, b_i)$.
- les opérations arithmétiques : les microprocesseurs courants ne disposent que des opérations de base: addition avec et sans retenue, incrémentation, rotation, ajustements décimaux, compléments arithmétiques.

N.B.1 : Dans la documentation technique, l'opérateur + représente l'opération logique OU tandis que les opérateurs arithmétiques + et - sont représentés par *plus* et *moins*.

N.B.2 : On pourra remarquer l'existence de fonctions logiques, seules ou combinées à des fonctions arithmétiques, dans la partie de l'UAL dévolue au fonctionnement en mode arithmétique (!!!).

N.B.3 : La notice technique de l'UAL propose deux tables de vérité, l'une en logique négative ("Active low data") et l'autre, bien sûr, en logique positive ("Active high data").

N.B.4 : Lors des opérations arithmétiques sur des nombres de plus de quatre bits, il existe la possibilité de mise en cascade des boîtiers avec la technique de propagation de la retenue. Dans ce cas, les retenues utilisées sont les retenues C_n en entrée et C_{n+4} en sortie (attention ! elles sont toutes deux complémentées). Il est également possible d'utiliser la technique de la retenue anticipée en utilisant un circuit supplémentaire spécialisé dans le calcul des retenues (utilisation des P et G), on n'utilisera pas ici ces retenues propagées (P) ou générées (G).

PRÉPARATION

1. Ecrire les tables de vérité des fonctions logiques suivantes en logique positive, puis en logique négative :

- $F = A.B; _$,
- $F = A \setminus O(+;O)$,

1. Effectuer les opérations arithmétiques ci-dessous en **binaire**, préciser la valeur de la retenue dans chaque cas:

- $F = 7 + 11$ (en décimal),
- $F = 14 - 7$ (en décimal),
- $F = 14 + (-7)$ (en décimal), Peut-on réaliser cette opération ? Pourquoi ?
- $F = 4 + (-7)$ (en décimal),
- $F = -4 + (-5)$ (en décimal).

N.B. : L'étude des fonctions arithmétiques sera effectuée "Active High Data".

MANIPULATION

Puisque les retenues C_n en entrée et C_{n+4} en sortie sont toutes deux complémentées et afin d'avoir plus de facilité pour observer les résultats obtenus, il est conseillé d'utiliser une porte inverseuse entre C_{n+4} et la LED.

1. Fonctionnement en mode logique

Pour le fonctionnement en mode logique, chaque bit est indépendant ; autrement dit, lorsque l'on programme l'opérateur ET, par exemple, on dispose en réalité de quatre opérateurs, un pour chacun des quatre poids. Vous programmerez l'UAL pour réaliser successivement les opérations ci-dessous. Pour chacune, vous indiquerez la valeur du bit de sélection du mode opératoire M ainsi que la valeur du mot de programmation de l'opération désirée $S = (S_3, S_2, S_1, S_0)$.

- $F = A.B$; en logique positive,
- $F = A \setminus O$ (+; O en logique négative,

Faire valider.

- Une fonction logique de votre choix en logique positive.
- Une fonction logique de votre choix en logique négative.

2. Fonctionnement en mode arithmétique

Dans cette configuration, les quatre bits sont traités ensemble. Vous programmerez l'UAL pour réaliser successivement les opérations ci-dessous. Pour chacune, vous indiquerez la valeur du bit de sélection du mode opératoire M ainsi que la valeur du mot de programmation de l'opération désirée $S = (S_3, S_2, S_1, S_0)$. Vous préciserez également l'état des C_n et C_{n+4} ainsi que la valeur des opérandes A et B.

- $F = 7 + 11$ (en décimal),
- $F = 14 - 7$ (en décimal),
- $F = 14 + (-7)$ (en décimal),

Conclusion sur les états de la retenue dans les états précédents ?

Faire valider.

- $F = 4 + (-7)$ (en décimal),
- $F = -4 + (-5)$ (en décimal).

2 PAGES DE DOC TECHNIQUE

Bascules et registres

Ce TP a pour objectifs de réaliser des bascules RS à partir des fonctions logiques de base, ainsi que de découvrir le registre à décalage.

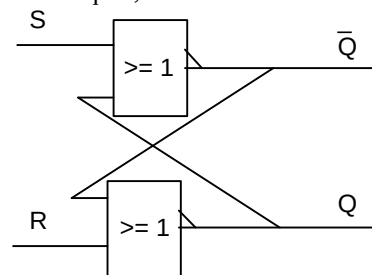
1. La bascule RS

1.1 Bascule RS à porte NOR

- Réaliser le circuit ci-dessous avec des portes NOR 7402.

- Compléter la table de vérité en mettant les entrées dans les états indiqués, successivement.

R	S	Q	Q _;
0	0		
0	1		
0	0		
1	0		
0	0		
1	1		



- Pourquoi ce système est-il appelé fonction mémoire ?

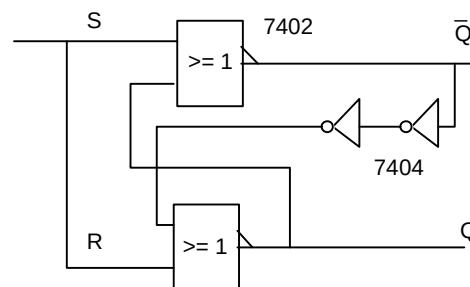
- Relier les entrées RS et les mettre à '1'. Mettre ensuite les entrées à '0'. Faire plusieurs fois l'opération. Conclure.

- Réaliser le montage ci-contre.

- Donner les états des sorties Q et Q_; lors d'une transition de R et S de '1' à '0'.

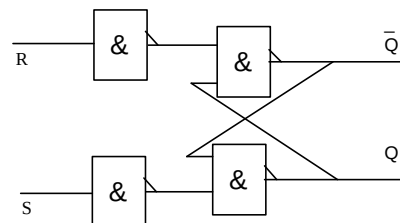
- Faire la même expérience en plaçant les inverseurs dans l'autre branche. Conclusion.

- Donner l'équation logique de la bascule RS :
 $Q = f(R, S, Q^-)$.



1.2 Bascule RS à porte NAND

Refaire les mêmes manipulations avec une bascule à base de portes NAND 7400. Conclure.



Comparer les deux types de bascules RS (à portes NAND et à portes NOR).

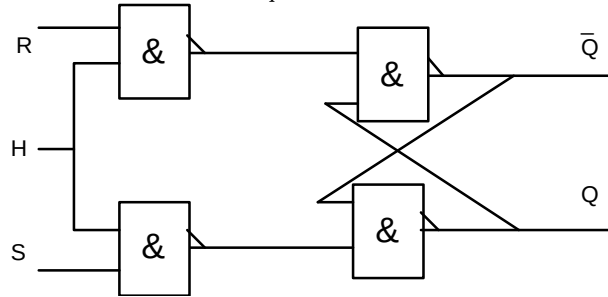
1.3 Bascule RS avec horloge (RSH ou RST)

L'horloge permet de synchroniser la bascule avec des circuits extérieurs quelle que soit l'évolution des entrées.

- Réaliser le montage ci-dessous.

- Compléter le tableau en mettant les entrées S, R et H dans les états indiqués, successivement.

S	R	H	Q	Q _;
0	0	0		
0	0	1		
0	0	0		
0	1	0		
0	1	1		
0	1	0		
1	0	0		
1	0	1		
1	0	0		



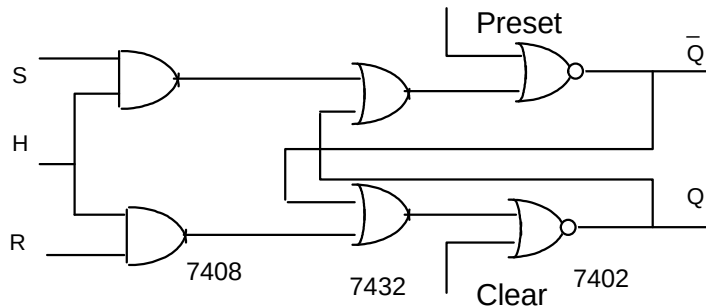
- Le cas R = S = '1' est interdit, expliquer pourquoi.

1.4 Bascule RS avec Preset et Clear

Preset et Clear sont des entrées de forçage de la sortie à '1' et '0' respectivement quels que soient les états logiques des entrées R et S.

- Mettre les entrées séquentiellement aux états logiques donnés par le tableau ci-dessous, donnez les états des sorties correspondants.

Cl	Pr	S	R	H	Q	Q _;
0	0	0	0	0		
0	0	1	0	0		
0	0	1	0	1		
0	0	0	0	0		
0	0	0	1	0		
0	0	0	1	1		
0	0	0	0	0		
0	1	0	0	0		
0	1	0	1	1		
0	1	0	0	0		
1	0	0	0	0		
1	0	1	0	1		
1	0	0	0	0		
0	0	0	0	0		

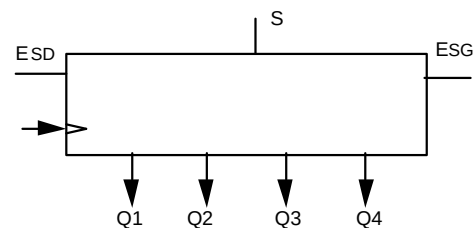


- Que se passe-t-il lorsque les commandes sont contradictoires, c'est-à-dire lorsque S et Clear sont simultanément égaux à 1 ou R et Preset simultanément égaux à 1 ? Cela correspond-il à ce que l'on désire ?

- Quelles modifications peut-on apporter au montage pour éviter ce problème ?

2. Le registre à décalage

On veut réaliser un registre à décalage bidirectionnel à entrées série ESD (droite) ou ESG (gauche) selon le sens de décalage. Les sorties série sont SSD ou SSG, les sorties parallèles sont Q1, Q2, Q3 et Q4. Le sens de décalage est commandé par le signal S (1 pour décaler à droite, 0 pour décaler à gauche).



- Réaliser ce registre avec quatre bascules D et des portes NAND. Faire valider.

- Vérifier le fonctionnement. Vérifier notamment que :

- les états binaires entrés sont mémorisés et décalés à chaque impulsion d'horloge,
- qu'à chaque décalage la valeur numérique est divisée ou multipliée par deux selon le sens du décalage (on pourra utiliser l'afficheur 7 segments pour visualiser l'état des sorties).

Compteurs

N.B. : Ne pas oublier de brancher les entrées Preset et Clear.

N.B. : dans cette partie, on veillera à utiliser de préférence des bascules 7473 plutôt que des 74LS76. De toute manière, il vaut mieux utiliser des bascules identiques.

A. COMPTEURS

1. Etude d'un compteur synchrone modulo 10

L'horloge est commune à toutes les bascules, la séquence de comptage est déterminée par les états des entrées J et K.
Compteur modulo 10 :

- Effectuer l'étude et faire le schéma.
- Câbler le compteur et vérifier. Faire valider.

2. Etude d'un compteur asynchrone modulo 11 par la méthode du forçage-inhibition des transitions

Construire un compteur modulo 11 avec des bascules JK74LS76. Conclusion.

PRÉPARATION

- Analyse du problème,
- Etudier ce compteur par la méthode du forçage-inhibition des transitions,
- Tracer le chronogramme pour vérifier le retour correct du compteur à 0 à la fin d'un cycle,
- Modifier éventuellement les équations obtenues,
- Faire le schéma de câblage.

MANIPULATION

- Câbler ce compteur.

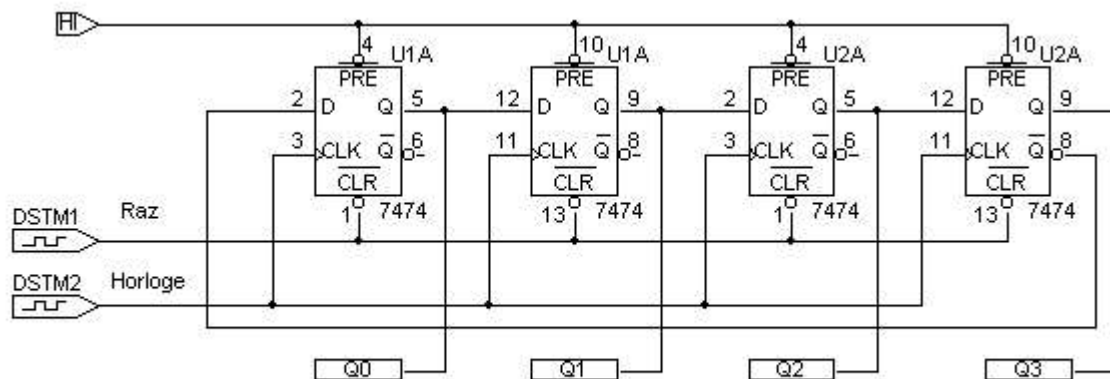
B. GÉNÉRATEUR DE FONCTIONS À CIRCUITS SÉQUENTIELS

1. Etude d'un compteur

On considère le câblage suivant :

Q.1.1 : - Quelle est la **nature** des bascules utilisées ?

- Ces bascules travaillent sur front d'horloge ; sur **quel front** d'horloge travaillent-elles ?
- A-t-on affaire à un compteur **synchrone** ou **asynchrone** ?



7474 - Vcc 14 - GND 7

A priori l'horloge a une fréquence de 8 kHz.

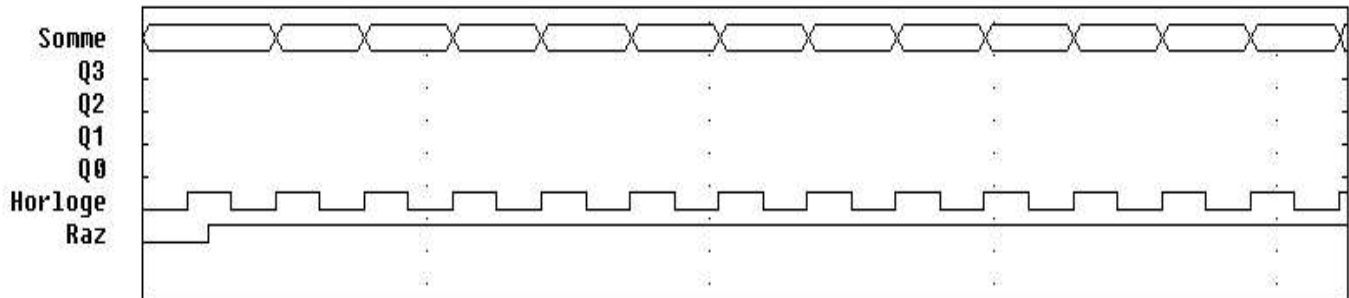
Q.1.2 : - Complétez les chronogrammes qui suivent et justifiez-en l'allure pour les "dix premiers coups d'horloge".

$$\sum_{i=0}^3 Q_i \cdot 2^i$$

NB : HI correspond à un signal logique "1" et "Somme" est la représentation **en binaire** de : $\sum_{i=0}^3 Q_i \cdot 2^i$ avec $Q_i = 0$ ou 1.

Q.1.3 : - Câblez la structure, vérifiez son bon fonctionnement ; puis faites valider votre montage par un enseignant.

NB : - On conservera le montage pour la partie suivante.
 - Le signal d'horloge sera réglé à la fréquence de 1 Hz pour observer correctement le fonctionnement du montage !
 - On fera "un RAZ" grâce à un bouton poussoir.



- Les sorties Q_0 à Q_3 seront reliées à des diodes électroluminescentes (avec Q_0 poids faible et Q_3 poids fort).

2. Etude d'un générateur de fonctions à circuits séquentiels

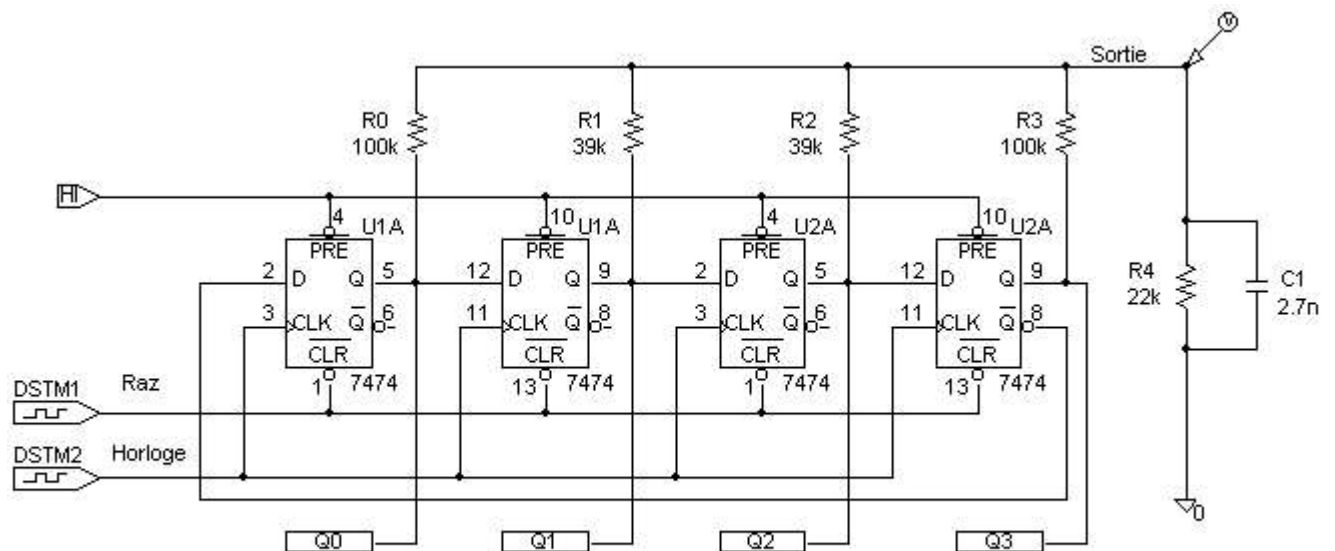
On considère le câblage suivant :

• Dans cette première série de mesures la fréquence d'horloge est de 8 kHz et on ne place pas le condensateur

C_1 .

Q.2.1 : - Relevez en concordance de temps, les oscillogrammes de l'horloge et du signal analogique de sortie sur une durée de 2 ms environ.

- Relevez les caractéristiques du signal : valeur minimale, valeur maximale, valeur moyenne et fréquence.



Pour éliminer l'harmonique de rang 7 : $C_1 \# 2.7 \text{ nF}$

7474 - Vcc 14 - GND 7

• Dans cette seconde série de mesures la fréquence d'horloge est de 8 kHz et on met en place le condensateur

C_1 .

Q.2.2 : - Relevez en concordance de temps, les oscillogrammes de l'horloge et du signal analogique de sortie sur une durée de 2 ms environ.

- Relevez les caractéristiques du signal : valeur minimale, valeur maximale, valeur moyenne et fréquence.

- Le "filtrage" apporté par le condensateur C_1 est-il très efficace ?

- On donne les caractéristiques électriques du circuit LS 7474 :

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			-0.4	mA
I_{OL}	LOW Level Output Current			16	mA
V_{OH}	HIGH Level Output Voltage	2.4	3.4		V
V_{OL}	LOW Level Output Voltage		0.2	0.4	V
I_{IH}	HIGH Level Input Current (D)			40	μ A
I_{IL}	LOW Level Input Current (D)			-1.6	mA
f_{CLK}	Clock Frequency			15	MHz

Q.2.3 : - Quelle valeur minimale peut-on donner à la **résistance** qui charge la sortie Q d'une bascule, lorsque cette bascule délivre la tension nominale V_{OH} sous le courant maximum I_{OH} , afin de garantir les valeurs nominales ?

Q.2.4 : - La **résistance** minimale que vous venez de trouver **assure-t-elle** un fonctionnement qui garantit les valeurs nominales lorsque la sortie Q délivre la tension V_{OL} sous le courant maximum I_{OL} ?

- On fait l'hypothèse que : $V_{OH} \approx 3,4$ V et $V_{OL} \approx 0$ V et que la tension délivrée par une sortie Q_i est donnée par :

$$V_{Qi} = Q_i \cdot V_{OH}.$$

- Ainsi lorsque :

$$Q_i = 0, V_{Qi} = 0 ;$$

$$Q_i = 1, V_{Qi} = V_{OH}.$$

Q.2.5 : - Montrez que l'on peut exprimer la tension de sortie sous la forme :

$$V_{Sortie} = \frac{\frac{V_{OH}}{R_0} \cdot Q_0 + \frac{V_{OH}}{R_1} \cdot Q_1 + \frac{V_{OH}}{R_2} \cdot Q_2 + \frac{V_{OH}}{R_3} \cdot Q_3}{\frac{1}{R_0} + \frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4}}.$$

- On a : $R_3 = R_0$ et $R_2 = R_1$.

Q.2.6 : - Montrez que l'on peut également exprimer la tension de sortie sous la forme :

$$V_{Sortie} = \frac{V_{OH}}{2 + 2 \cdot \frac{R_0}{R_1} + \frac{R_0}{R_4}} \cdot \left(Q_0 + \frac{R_0}{R_1} \cdot Q_1 + \frac{R_0}{R_1} \cdot Q_2 + Q_3 \right).$$

- On donne : $R_0 = 100$ k Ω , $R_1 = 39$ k Ω et $R_4 = 22$ K Ω .

Q.2.7 : - Calculez les quantités : $\frac{V_{OH}}{2 + 2 \cdot \frac{R_0}{R_1} + \frac{R_0}{R_4}}$ et $\frac{R_0}{R_1}$.

Q.2.8 : - Calculez les cinq valeurs (étant donnée la structure proposée) que peut prendre V_{Sortie} .

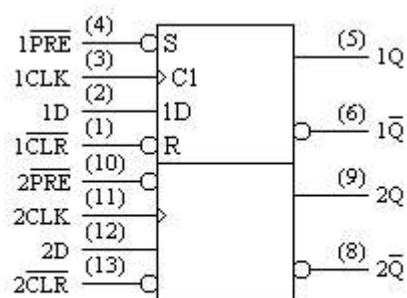
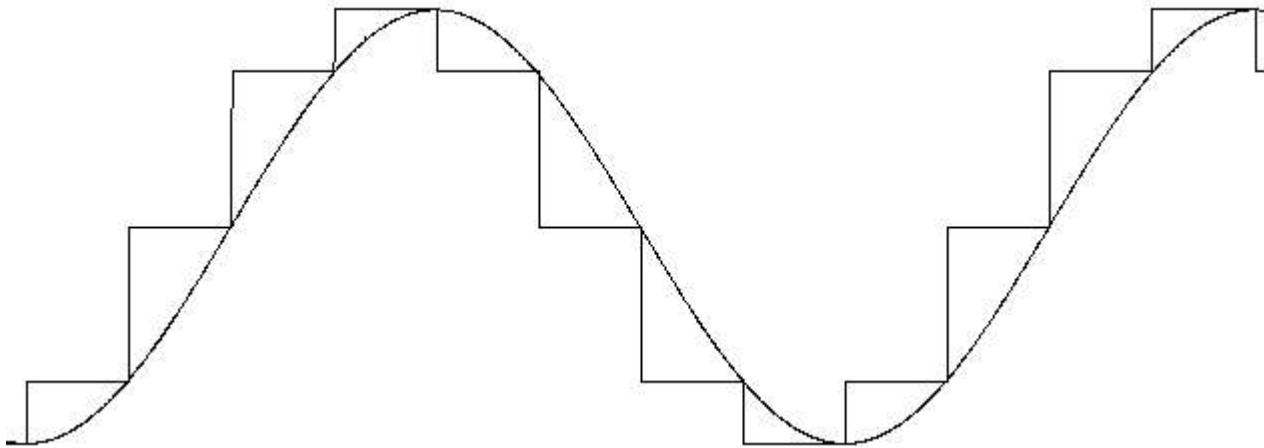
- Ces valeurs **confirment-elles** les mesures pratiques réalisées avec $C_1 = 0$?

- On souhaite que la "fonction" obtenue s'approche au mieux d'une enveloppe de sinusoïde (confer le dessin suivant).

Q.2.9 : - **Compte tenu** de la contrainte imposée; quelle valeur doit-on donner au rapport $\frac{R_0}{R_1}$?

- Le dimensionnement des composants du montage vous **paraît-il judicieux** ?

3. Brochage des composants mis en œuvre



LS 7474 - boîtier DIL 14 - Vcc 14 - GND 7

Applications des circuits s quentiels

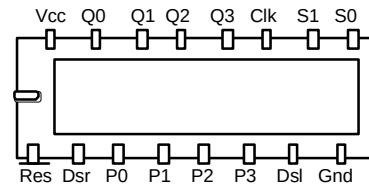
1. Conversion/Mise en  uvre du circuit 40194

Ce registre 4 bits universel poss de deux entr es s rie DSL (ESG) et DSR, quatre entr es parall les (P0, P1, P2, P3), une entr e d'horloge et deux bits de contr le S1 et S0.

S1	S0	
0	0	mode m�moire
1	0	d�calage � gauche
0	1	d�calage � droite
1	1	chargement parall�le

- V rifier le chargement parall le et les d calages   droite et   gauche.
- Associer deux registres 40194 permettant de r soudre le probl me suivant :

- ◆ concevoir un registre universel 8 bits en associant deux registres 4 bits de ce type,
- ◆ puis charger un mot de quatre bits dans le registre 1, v rifier qu'en quatre impulsions de l'horloge, la valeur est transf r e dans le registre 2 en transmission s rie.
- ◆ Faire valider.



P_i = entr es parall les

Q_i = sorties des bascules

2. Transmission "Bande de base" utilisant des multiplexeurs

On veut r aliser la transmission s rie d'un octet par l'interm diaire d'une ligne de trois conducteurs plus la masse. On se situe donc ici sur la couche 1 du mod le OSI (cf. cours r seaux) puisqu'on  met les informations sans contr le de flux, d'erreur; ... directement au niveau physique le plus bas.

On dispose :

- d'un multiplexeur 8 voies 4051¹,
- d'un d multiplexeur 8 voies 4051¹,
- de compteurs binaires 4029,
- d'une base de temps (signal TTL du GBF).

Pour cela, on utilise deux paires de conducteurs :

- une ligne de donn e + sa r f rence de potentiel,
- deux lignes de synchronisation (horloge commune, RAZ compteur).

Faire un sch ma d taill  de l'installation, la c bler et la tester. (N.B. : Les entr es V_{EE} des 4051 seront reli es   la masse). Faire valider.

3. Gestion d'un parc de v hicules

On veut concevoir un syst me de gestion de parc de v hicules automatique en respectant le cahier des charges suivants :

- le parc a une capacit  C de v hicules, que l'on doit pouvoir "programmer"   l'aide de switches,
- le nombre de v hicules pr sent dans le parc   un instant donn  doit  galement pouvoir  tre "programm "   l'aide de switches,
- on tiendra compte du fait que deux v hicules peuvent  tre d tect s en m me temps, toutefois on supposera que les fronts montants de d but de d tection ne sont jamais simultan s,
- le parc a deux entr es e1 et e2 et deux sorties s1 et s2  quip es de d tecteurs de passage de v hicules, par quelle fonction logique va-t-on associer les entr es entre elles afin de ne pas perdre de fronts (donc de voitures), idem pour les sorties ?

On veut qu'un feu rouge s'allume sur chacune des deux entr es lorsque la capacit  C de v hicules est atteinte.

Proposer un sch ma de c blage le plus simple possible pour r aliser cette application (utiliser le compteur 74193 et le comparateur 7485 de pr f rence, c'est plus ais ).

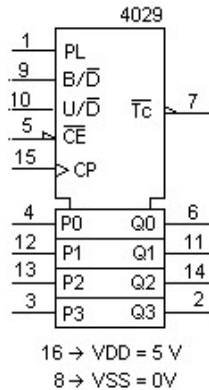
C bler le syst me propos  et tester. Faire valider.

¹ Le multiplexeur 4051 est un multiplexeur analogique, pouvant  tre utilis  indiff remment en multiplexeur ou d multiplexeur.

Diviseur de fréquence et multiplicateur de fréquence

1. Diviseur de fréquence

1.1 Etude du compteur-décompteur binaire BCD à présélection 4029



Il s'agit d'un compteur travaillant en binaire ou en décimal. La donnée d'entrée N est appliquée sur les broches P0 à P3.

En mode comptage, que l'on soit en binaire ou en décimal, la sortie Tc;__ passe à 0 lorsque le nombre de "coups" d'horloge atteint la valeur N.

En mode décomptage, que l'on soit également en binaire ou en BCD, la sortie Tc;__ passe à 0 lorsque le compteur préchargé à la valeur N, atteint 0.

La sortie Tc;__ élabore une impulsion négative de très courte durée. Cette impulsion traitée par un inverseur peut agir sur l'entrée PL autorisant ainsi le chargement de la donnée N appliquée sur les entrées P0 à P3.

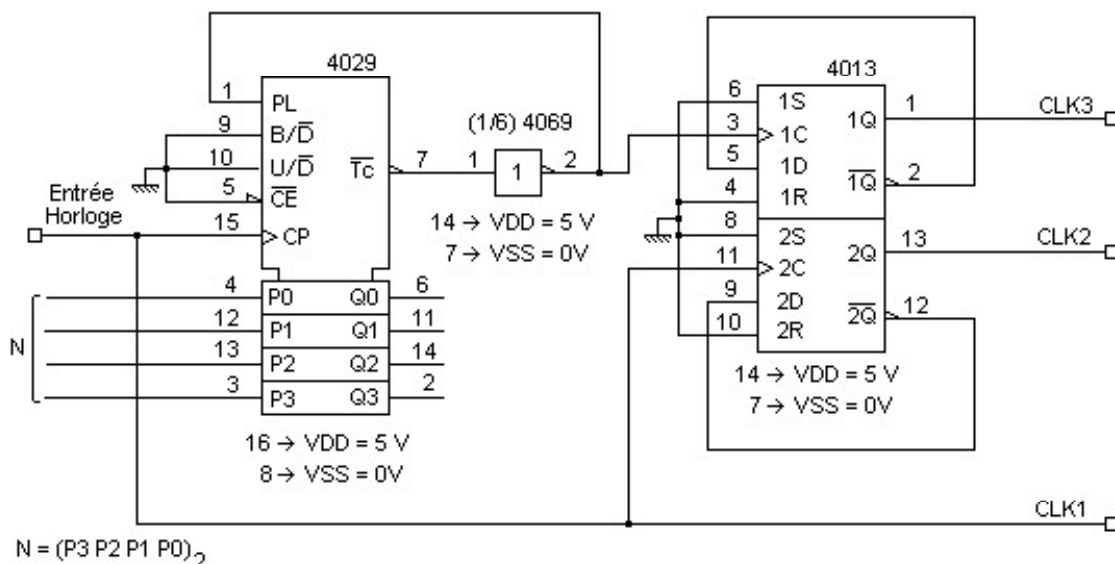
L'entrée CE;__ permet de valider ou d'invalider le compteur; l'entrée CP est l'entrée horloge du compteur; l'entrée U/D;__ permet de faire fonctionner le compteur en mode comptage ou décomptage; l'entrée B/D;__ permet de faire fonctionner le compteur en mode binaire ou en mode décimal.

Préparation

- Comment faut-il configurer les entrées du compteur pour qu'il décompte en mode BCD et pour que la sortie Tc;__ génère une impulsion après 3 coups d'horloge ?

Note: Le compteur doit fonctionner en permanence...

1.2 Etude d'une réalisation pratique



Notes :

Le circuit 4013 est une double bascule D; le circuit 4069 est un sextuple inverseur.

Préparation

On donne $N = (0101)_2$; le signal binaire qui attaque l'Entrée Horloge a une fréquence de 10 kHz.

- Comment est configuré le compteur 4029 ?
- Après combien d'impulsions d'horloge la sortie Tc;___ délivrera-t-elle une impulsion ?
- Comment sont configurées les deux bascules D ?
- Quelles sont les fréquences délivrées par les sorties CLK₁, CLK₂ et CLK₃ (justifier vos réponses) ?
- Quels sont les rapports entre les fréquences f_{CLK1} et f_{CLK2} , f_{CLK1} et f_{CLK3} enfin entre f_{CLK2} et f_{CLK3} ?
- Avec la configuration imposée quelles sont les valeurs minimales et maximales que l'on peut espérer obtenir entre les rapports des fréquences f_{CLK1} et f_{CLK2} , f_{CLK1} et f_{CLK3} enfin entre f_{CLK2} et f_{CLK3} ?
- Quel est l'intérêt d'un tel montage ?

Manipulation

- Câbler la structure.
- Sur l'**Entrée Horloge**, appliquer un signal binaire de fréquence 10 kHz.

- Donner à N la valeur 1.

* A l'oscilloscope observer l'**Entrée Horloge** et la sortie Tc;___, relever les oscillogrammes synchrones des deux signaux.

* A l'oscilloscope observer l'**Entrée Horloge** et la sortie CLK₂ (synchroniser l'oscilloscope sur CLK₂), relever les oscillogrammes synchrones des 2 signaux.

* A l'oscilloscope observer la sortie CLK₂ et la sortie CLK₃ (synchroniser l'oscilloscope sur CLK₃), relever les oscillogrammes synchrones des deux signaux.

- Donner à N la valeur 2.

* A l'oscilloscope observer la sortie CLK₁ et la sortie CLK₂ (synchroniser l'oscilloscope sur CLK₁), noter la fréquence des deux signaux et calculer le rapport f_{CLK2}/f_{CLK1} .

* A l'oscilloscope observer la sortie CLK₂ et la sortie CLK₃ (synchroniser l'oscilloscope sur CLK₂), noter la fréquence des deux signaux et calculer les rapports f_{CLK3}/f_{CLK2} et f_{CLK3}/f_{CLK1} .

- Donner à N toutes les valeurs possibles et dans chaque cas :

* Observer la sortie CLK₁ et la sortie CLK₂, noter la fréquence des deux signaux et calculer le rapport f_{CLK2}/f_{CLK1} .

* Observer la sortie CLK₂ et la sortie CLK₃, noter la fréquence des deux signaux et calculer les rapports f_{CLK3}/f_{CLK2} et f_{CLK3}/f_{CLK1} .

2. Multiplicateur de fréquence

2.1 La boucle à verrouillage de phase (PLL) 4046

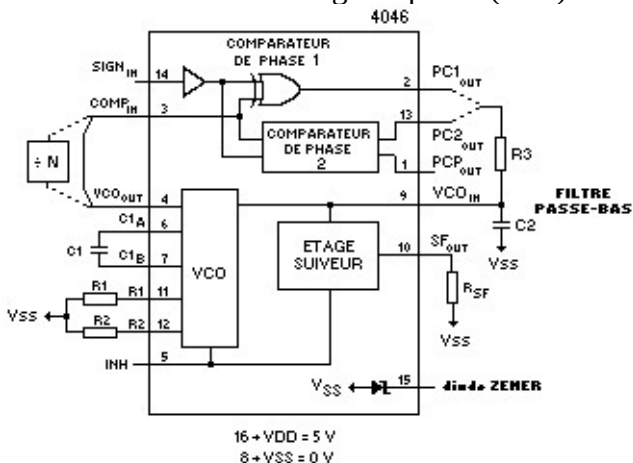


Schéma fonctionnel

Note: L'entrée INH doit être portée au 0 volt, sinon le fonctionnement du circuit est inhibé.

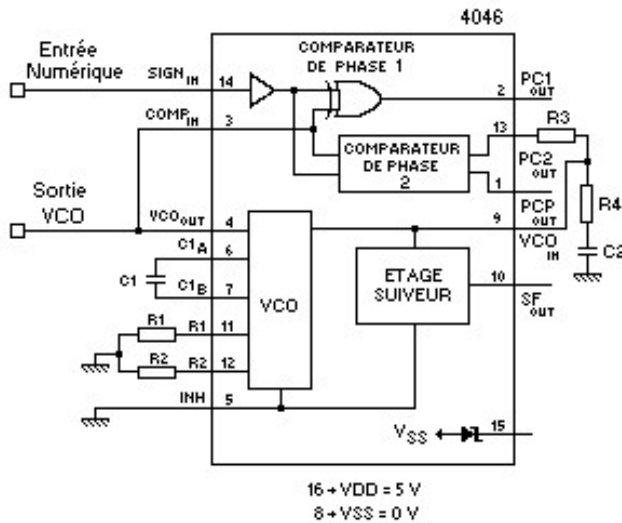
Ce circuit est une boucle à verrouillage de phase; il contient un oscillateur linéaire commandé en tension (VCO) et deux comparateurs de phase, dont un utilise un XOR.

Ce circuit travaille avec des signaux numériques.

On utilisera ici ce circuit pour réaliser un asservissement de fréquence en forçant la fréquence du signal issu du VCO à suivre la fréquence du signal appliqué à l'entrée SIGN_{IN} du circuit.

2.2 Plage de capture plage de verrouillage de la PLL

On se propose d'observer comment s'effectue l'asservissement de fréquence.



On applique sur l'**Entrée Numérique** un signal de fréquence variable et on observe à l'oscilloscope les signaux sur l'**Entrée Numérique** et la **Sortie VCO**; on synchronise l'oscilloscope sur le signal appliqué à l'**Entrée Numérique**.

Partant d'une fréquence de quelques centaines de hertz, on augmente la fréquence jusqu'à ce que les signaux d'entrée et de sortie soient synchrones; on détermine alors la **fréquence de capture basse**.

Partant de cette fréquence, on la diminue jusqu'à ce que les signaux d'entrée et de sortie se désynchronisent; on détermine alors la **fréquence de verrouillage basse**.

Partant d'une fréquence d'une cinquantaine de kiloHertz, on la diminue jusqu'à ce que les

signaux d'entrée et de sortie soient synchrones ; on détermine alors la **fréquence de capture haute**.

Partant de cette fréquence, on l'augmente jusqu'à ce que les signaux d'entrée et de sortie se désynchronisent ; on détermine alors la **fréquence de verrouillage haute**.

Les éléments du montage

Filtre passe-bas (filtre de boucle) : $R_3 = 27 \text{ k}\Omega$, $R_4 = 10 \text{ k}\Omega$ et $C_2 = 10 \text{ nF}$.

VCO: $R_1 = 3,3 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$ et $C_1 = 10 \text{ nF}$; Résistance de charge: R_{SF} (infinie)...

Manipulation

- Câbler la structure.
- Déterminer la plage de capture et la plage de verrouillage de la PLL, en utilisant le comparateur de phase 2 (CP2 ou PC2).
- Comparer les deux plages.
- Lorsque la PLL est verrouillée, quel est le domaine des fréquences que l'on peut asservir à la fréquence d'entrée ?

2.3 Le montage multiplicateur de fréquence

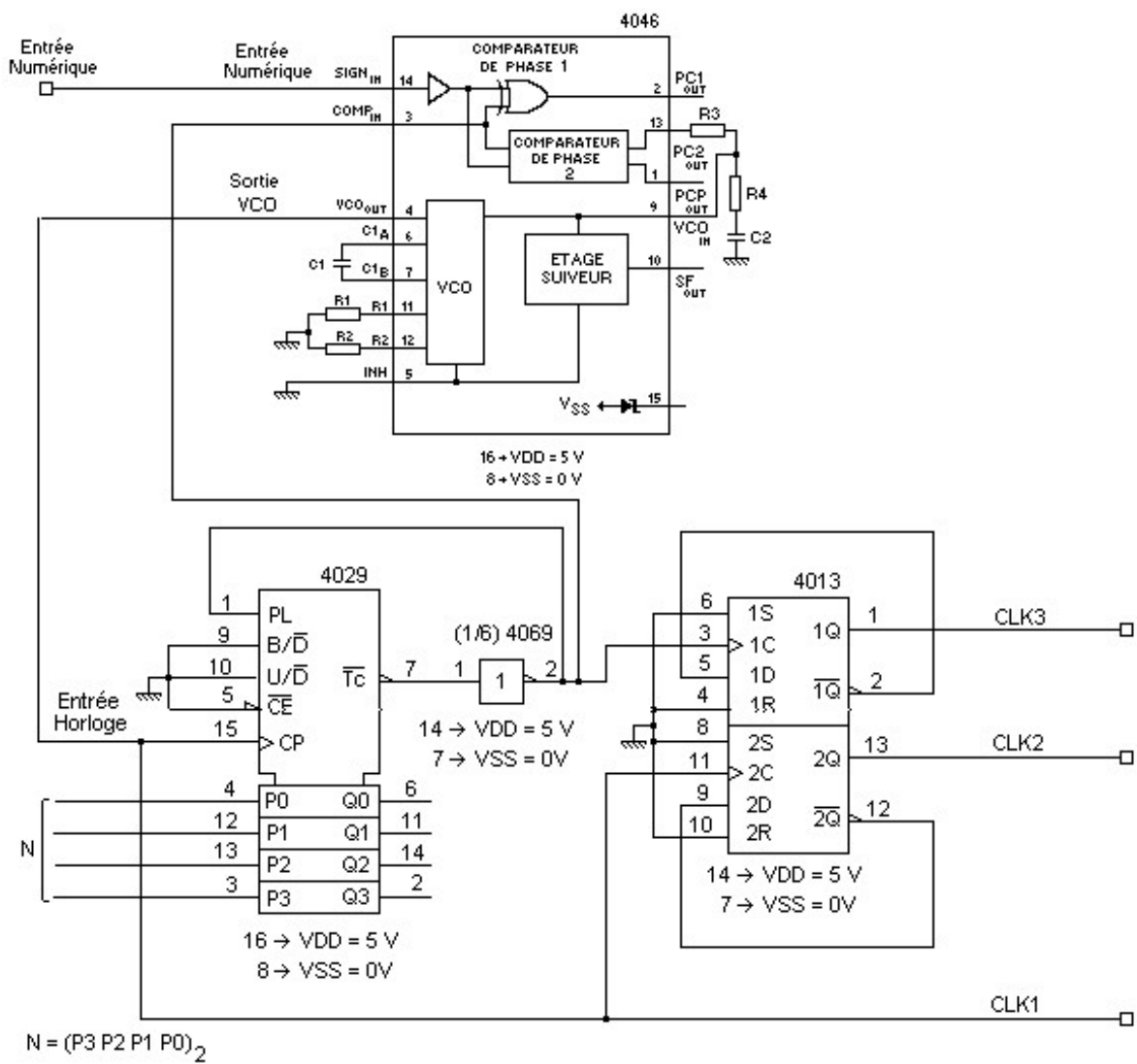
Note: Le schéma du montage se trouve sur la page suivante.

Manipulation

- Câbler la structure.
- Appliquer sur l'**Entrée Numérique** un signal numérique de fréquence 2 kHz.
- Donner à N la valeur 6, soit $N = (0110)_2$.
- * A l'oscilloscope observer la sortie CLK_1 et la sortie CLK_2 (synchroniser l'oscilloscope sur CLK_1), noter la fréquence des deux signaux .
- * A l'oscilloscope observer la sortie CLK_2 et la sortie CLK_3 (synchroniser l'oscilloscope sur CLK_2), noter la fréquence des deux signaux.
- Donner à N les valeurs successives 5, 4, 3, 2 et 1; puis les valeurs successives 7, 8 et 9.
- * Pour chaque valeur de N: observer la sortie CLK_1 et la sortie CLK_2 , noter la fréquence des 2 signaux; observer également la sortie CLK_2 et la sortie CLK_3 et noter la fréquence des deux signaux.
- Conclure.

Remarque: Les PLL (donc les multiplicateurs de fréquence) sont utilisées dans les récepteurs radio pour réaliser justement la synthèse des fréquences nécessaires à la démodulation des signaux reçus.

On utilise également les diviseurs de fréquence dans ce même domaine.



N.B. 1 : Vérifiez le bon fonctionnement de vos composants.

N.B. 2 : N'oubliez pas de faire valider votre montage par un enseignant.

**VEUILLEZ LAISSER LE SUJET SUR LA TABLE, ET
NE PAS ECRIRE DESSUS, MERCI**